

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 2 年 1 0 月 3 1 日  
Date of Application:

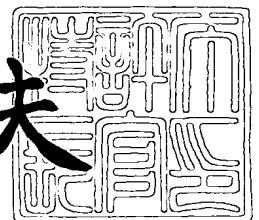
出 願 番 号                      特 願 2 0 0 2 - 3 1 8 4 8 8  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 2 - 3 1 8 4 8 8 ]

出 願 人                      N E C エレクトロニクス株式会社  
Applicant(s):

2 0 0 3 年    8 月 2 0 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 3 - 3 0 6 8 2 2 4

【書類名】 特許願

【整理番号】 74310416

【あて先】 特許庁長官殿

【国際特許分類】 H03K 19/0185  
G11C 11/417

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 青木 淳一

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100082935

【弁理士】

【氏名又は名称】 京本 直樹

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100082924

【弁理士】

【氏名又は名称】 福田 修一

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268

【弁理士】

【氏名又は名称】 河合 信明

【電話番号】 03-3454-1111

【手数料の表示】

【予納台帳番号】 008279

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9115699

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 レベルシフタ

【特許請求の範囲】

【請求項 1】 第 1 の電源ラインと出力ノードとの間に接続された第 1 のトランジスタと、

前記出力ノードと第 2 の電源ラインとの間に接続された第 2 のトランジスタと

、  
前記第 1 の電源ラインと前記出力ノードとの間に接続された第 3 のトランジスタと、

前記出力ノードと前記第 2 の電源ラインとの間に接続された第 4 のトランジスタと、

入力信号が第 1 のレベルの時に前記第 2 のトランジスタを導通させると共に前記第 4 のトランジスタを導通させ、前記入力信号が第 2 のレベルの時に前記第 3 のトランジスタを導通させると共に前記第 1 のトランジスタを導通させる制御回路とを備え、

前記第 1 のトランジスタのゲート耐圧は前記第 3 のトランジスタのゲート耐圧よりも小さく、前記第 4 のトランジスタのゲート耐圧は前記第 2 のトランジスタのゲート耐圧よりも小さいことを特徴とするレベルシフタ。

【請求項 2】 前記制御回路は、前記第 1 の電源ラインと第 1 のノードとの間に接続されゲートが前記出力ノードに接続された第 5 のトランジスタと、前記第 1 のノードと前記第 2 の電源ラインとの間に接続されゲートに前記入力信号を受ける第 6 のトランジスタと、前記第 1 の電源ライン及び第 2 のノードとの間に接続されゲートに前記入力信号を受ける第 7 のトランジスタと、前記第 2 のノードと前記第 2 の電源ラインとの間に接続されゲートが前記出力ノードに接続された第 8 のトランジスタとを備えることを特徴とする請求項 1 記載のレベルシフタ。

【請求項 3】 前記制御回路は、前記入力信号の極性を反転した反転入力信号を生成して前記第 2 のトランジスタ及び前記第 3 のトランジスタのゲートに供給する反転回路を更に備えることを特徴とする請求項 2 記載のレベルシフタ。

【請求項 4】 前記第 1、第 4、第 5、第 8 のトランジスタは第 1 のゲート耐圧を有し、前記第 2、第 3、第 6、第 7 のトランジスタは第 2 のゲート耐圧を有することを特徴とする請求項 2 記載のレベルシフタ。

【請求項 5】 前記第 2、第 3 のトランジスタは非飽和領域で動作することを特徴とする請求項 1 記載のレベルシフタ。

【請求項 6】 前記制御回路は、前記入力信号が前記第 1 のレベルの時には前記第 1 のトランジスタを導通させる前に前記第 3 のトランジスタを導通させ、前記入力信号が前記第 2 のレベルの時には前記第 4 のトランジスタを導通させる前に前記第 2 のトランジスタを導通させることを特徴とする請求項 1 記載のレベルシフタ。

【請求項 7】 前記第 1 のトランジスタの電流供給能力は前記第 3 のトランジスタの電流供給能力よりも大きく、前記第 4 のトランジスタの電流供給能力は前記第 2 のトランジスタの電流供給能力よりも大きいことを特徴とする請求項 1 記載のレベルシフタ。

【請求項 8】 前記第 1 のトランジスタのゲート耐圧及び前記第 4 のトランジスタのゲート耐圧は、前記出力ノードに出力される出力信号の電圧振幅と同じであることを特徴とする請求項 1 記載のレベルシフタ。

【請求項 9】 前記 2 のトランジスタのゲート耐圧及び前記第 3 のトランジスタのゲート耐圧は、前記入力信号の電圧振幅と同じであることを特徴とする請求項 1 記載のレベルシフタ。

【請求項 10】 前記第 1 のノードと前記第 2 のノードとは電氣的に接続されていることを特徴とする請求項 2 記載のレベルシフト回路。

【請求項 11】 前記第 1 のトランジスタ及び前記第 4 のトランジスタは、飽和領域で動作する高速且つ高い電流供給能力をもつトランジスタにより構成され、前記第 2 のトランジスタ及び前記第 3 のトランジスタは、非飽和領域で動作する低速且つ低い電流供給能力をもつトランジスタにより構成されていることを特徴とする請求項 1 記載のレベルシフタ。

【請求項 12】 第 1 の電源ラインと第 1 のノードとの間に接続されゲートに入力信号を受ける第 1 のゲート耐圧を有する一導電型の第 1 のトランジスタと

第2の電源ラインと第2のノードとの間に接続されゲートが前記第1のノードに接続された前記第1のゲート耐圧よりも小さい第2のゲート耐圧を有する第二導電型の第2のトランジスタと、

前記第2のノードと前記第1の電源ラインとの間に接続されゲートに前記入力信号の反転入力信号を受ける前記第1のゲート耐圧を有する前記一導電型の第3のトランジスタと、

前記第2の電源ラインと第3のノードとの間に接続されゲートに前記入力信号を受ける前記第1の耐圧を有する前記第二導電型の第4のトランジスタと、

前記第2の電源ラインと前記第2のノードとの間に接続されゲートに前記反転入力信号を受ける前記第2のゲート耐圧を有する前記第二導電型の第5のトランジスタと、

前記第2のノードと前記第1の電源ラインとの間に接続されゲートが前記第3のノードに接続された前記第2のゲート耐圧を有する前記一導電型の第6のトランジスタとを備えることを特徴とするレベルシフト。

【請求項13】 前記第1のノードと前記第2の電源ラインとの間に接続されゲートが前記第2のノードに接続された前記第2のゲート耐圧を有する前記第二導電型の第7のトランジスタと、

前記第3のノードと前記第1の電源ラインとの間に接続されゲートが前記第2のノードに接続された前記第2のゲート耐圧を有する前記一導電型の第8のトランジスタとを備えることを特徴とする請求項12記載のレベルシフト。

【請求項14】 前記第1のノードと前記第3のノードとは電氣的に接続されていることを特徴とする請求項13記載のレベルシフト。

【請求項15】 第1の電源ラインと第1のノードとの間に接続され制御端子が第2のノードに接続された一導電型の第1のトランジスタと、

前記第1の電源ラインと前記第2のノードとの間に接続され制御端子が前記第1のノードに接続された前記一導電型の第2のトランジスタと、

前記第1のノードと第2の電源ラインとの間に接続され制御端子に入力信号を受ける第二導電型の第3のトランジスタと、

前記第 2 のノードと前記第 2 の電源ラインとの間に接続され制御端子に前記入力信号の反転入力信号を受ける前記第二導電型の第 4 のトランジスタと、

前記第 1 の電源ラインと前記第 2 のノードとの間に接続され制御端子に前記反転入力信号を受ける前記一導電型の第 5 のトランジスタと、

前記第 2 のノードと前記第 2 の電源ラインとの間に接続され制御端子が第 3 のノードに接続された前記第二導電型の第 6 のトランジスタと、

前記第 1 の電源ラインと前記第 3 のノードとの間に接続され制御端子に前記入力信号を受ける前記一導電型の第 7 のトランジスタと、

前記第 3 のノードと前記第 2 の電源ラインとの間に接続され制御端子が前記第 2 のノードに接続された第二導電型の第 8 のトランジスタとを備え、

前記第 1、第 2、第 6、第 8 のトランジスタは、前記入力信号のレベルに応答して飽和領域で動作し、前記第 3、第 4、第 5、第 7 のトランジスタは、前記入力信号のレベルにかかわらず非飽和領域で動作することを特徴とするレベルシフタ。

#### 【発明の詳細な説明】

##### 【0 0 0 1】

#### 【発明の属する技術分野】

本発明は、入力された信号のレベルを変換して出力するレベルシフタに関し、特に、入力された高レベルの信号を低レベルの信号にレベル変換するレベルシフタに関する。

##### 【0 0 0 2】

#### 【従来の技術】

近年、コンピュータのマザーボードに、A S I C、マイクロプロセッサ、メモリ、周辺回路等のデバイスが多数搭載されて、所望の機能を満たすよう設計されるマイクロコンピュータが増加している。特に、A S I Cやマイクロプロセッサでは、消費電力の低減及び高周波数での動作を要求されるため、内部で使用されている電源電圧の振幅が小さくなるように設計されている。例えば、内部電源電圧が 2. 5 V であり、この電圧は将来的に 1. 8 V、1. 5 V、1. 2 V と低下して行く傾向がある。

## 【0003】

これに対して、J E D E C システムインターフェース規格等により、各デバイス間でのデータの入出力は 3.3 V で行なわれ、周辺回路等のデバイスは、3.3 V で動作するものが多い。このため、周辺回路と、A S I C やマイクロプロセッサとは、異なる電圧で動作する状況が多くなってきている。したがって、A S I C やマイクロプロセッサは、内部と外部との電圧差をレベルシフトするために入出力バッファを備えている。

## 【0004】

このような、入出力バッファには、第 1 の従来技術として図 3 に示すように、インバータを複数個直列に接続してレベルシフトを行なうものが一般的に知られている（例えば、特許文献 1 参照）。

## 【0005】

図 3 に示される、高い電圧を低い電圧にレベルシフトするこのレベルシフト回路は、V D D (1.2 V) と G N D との間に接続されると共に、ゲートが入力端子に共通に接続された 3.3 V 耐圧の P 型 M O S トランジスタと N 型 M O S トランジスタとにより構成される第 1 のインバータ回路と、P 型 M O S トランジスタと N 型トランジスタのドレインにゲートが共通に接続されると共に、V D D (1.2 V) と G N D との間に接続された 1.2 V 耐圧の P 型 M O S トランジスタと N 型 M O S トランジスタとにより構成される第 2 のインバータ回路によって構成され、レベルシフト回路としての出力は、第 2 のインバータ回路を構成するトランジスタのドレインから取り出されている。

## 【0006】

このような構成により、第 1 のインバータで 3.3 V 振幅の入力信号を 1.2 V 振幅の反転信号として出力し、第 2 のインバータで反転信号を更に反転して入力信号と同相の信号として出力することを可能としている。

## 【0007】

また、別のレベルシフト回路として、第 2 の従来技術として図 6 に示すように、C M O S インバータ I N V 1 1 と電流ミラーフリップフロップラッチ回路 M P 1 3、1 4、M N 1 3、1 4 とを備えたものもある（例えば、特許文献 2 参照）



## 【0008】

## 【特許文献1】

特開平3-125515号公報

## 【特許文献2】

特開平11-239051号公報

## 【0009】

## 【発明が解決しようとする課題】

しかしながら、このような2つのインバータによってレベルシフト回路を構成した場合、図4(a)～(f)に示すように、第1のインバータのP型MOSトランジスタのソース電圧が低くなって行くに従って、入力信号 $V_{in}$ に対して出力信号 $V_{out}$ のデューティ比が変化する。

## 【0010】

以下、N型MOSトランジスタのしきい値電圧は $V_{tn}=0.5V$ 、P型MOSトランジスタのしきい値電圧は $V_{tp}=0.5V$ 、入力信号 $V_{in}$ の振幅は $3.3V$ 、 $V_{dd}$ は $1.2V$ として第1のインバータの動作について説明する。

## 【0011】

第1のインバータの入出力の電圧波形は、図5に示すように、入力電圧 $V_{in}$ が $0V$ から $3.3V$ に向かって変化する場合、N型MOSトランジスタのしきい値が $0.5V$ のため、 $V_{in}$ が $0.5V$ になった時点でN型MOSトランジスタMN11がオンし、第1のインバータの出力信号 $V_{mid}$ は $1.2V$ から $0V$ に向けて変化する。これに対し、 $V_{in}$ が $3.3V$ から $0V$ に向かって変化する場合には、 $3.3V$ の電圧が $0.7V$ （P型MOSトランジスタのしきい値が $0.5V$ で、ソースが $V_{dd}=1.2V$ に接続されている為、 $1.2V-0.5V=0.7V$ ）になった時点でP型MOSトランジスタMP11がオンし、第1のインバータの出力信号 $V_{mid}$ は、 $0V$ から $1.2V$ に向けて変化をする。このように、P型MOSトランジスタのソースには $V_{dd}=1.2V$ しか供給されていない為、 $V_{in}$ が $0V$ から立ち上がる際のNチャネルトランジスタがオンするまでにかかる時間 $T_1$ と $V_{in}$ が $3.3V$ から立ち下がる際のPチャネルトランジ

スタのオンするまでにかかる時間  $T_2$  とが異なる。したがって、第1のインバータの出力信号  $V_{mid}$  のデューティ比が入力信号  $V_{in}$  のデューティ比と異なるという問題が生じる。

#### 【0012】

第2の従来技術においては、 $V_{in}$  が 3.3 V から立ち下がる場合、インバータ  $INV11$  が  $V_{in}$  を反転して伝達することにより N 型 MOS トランジスタ  $MN14$  がオンし、出力信号  $V_{out}$  の電圧が 0 V になるが、 $V_{in}$  が 0 V から立ち上がる場合、N 型 MOS トランジスタ  $MN13$  がオンし、P 型 MOS トランジスタ  $14$  のゲートの電荷を引き抜くことによって出力信号  $V_{out}$  の電圧が 1.2 V になる。上述のとおり、出力信号  $V_{out}$  は、いずれかの N 型 MOS トランジスタ  $MN13$ 、 $14$  のゲート電圧が 3.3 V になることによって決定するが、出力電圧  $V_{out}$  が 0 V になる場合は、N 型 MOS トランジスタ  $MN14$  がオンになるだけ、すなわちゲート一段分で出力が変化するのに対し、出力電圧  $V_{out}$  が 1.2 V になる場合は、N 型 MOS トランジスタ  $MN13$  がオンした後に P 型 MOS トランジスタ  $MP14$  がオンするため、ゲート二段分で出力が変化する。したがって、出力電圧  $V_{out}$  が立ち上がる場合と、立ち下がる場合とでタイミングが異なり、第1の従来技術と同様に出力電圧  $V_{out}$  のデューティ比が入力信号と異なるという問題が生じる。なお、インバータ  $INV11$  は 3.3 V 振幅で動作するため実質的な遅延は無いものとする。

#### 【0013】

このような第1及び第2の従来技術の問題は、信号が高周波になればなるほどまた、入力信号と出力信号の振幅差が大きければ大きいほど顕著になる。

#### 【0014】

したがって、本発明は、入力信号と出力信号の振幅差が大きくともデューティ比の変化が小さく、入力信号が高周波になっても安定した出力信号を供給することができるレベルシフト回路を提供することを目的とする。

#### 【0015】

##### 【課題を解決するための手段】

本発明のレベルシフタは、第1の電源ラインと出力ノードとの間に接続された

第1のトランジスタと、前記出力ノードと第2の電源ラインとの間に接続された第2のトランジスタと、前記第1の電源ラインと前記出力ノードとの間に接続された第3のトランジスタと、前記出力ノードと前記第2の電源ラインとの間に接続された第4のトランジスタと、入力信号が第1のレベルの時に前記第2のトランジスタを導通させると共に前記第4のトランジスタを導通させ、前記入力信号が第2のレベルの時に前記第3のトランジスタを導通させると共に前記第1のトランジスタを導通させる制御回路とを備え、前記第1のトランジスタのゲート耐圧は前記第3のトランジスタのゲート耐圧よりも小さく、前記第4のトランジスタのゲート耐圧は前記第2のトランジスタのゲート耐圧よりも小さいことを特徴とする。

#### 【0016】

本発明の第2のレベルシフタは、第1の電源ラインと第1のノードとの間に接続されゲートに入力信号を受ける第1のゲート耐圧を有する一導電型の第1のトランジスタと、第2の電源ラインと第2のノードとの間に接続されゲートが前記第1のノードに接続された前記第1のゲート耐圧よりも小さい第2のゲート耐圧を有する第二導電型の第2のトランジスタと、前記第2のノードと前記第1の電源ラインとの間に接続されゲートに前記入力信号の反転入力信号を受ける前記第1のゲート耐圧を有する前記一導電型の第3のトランジスタと、前記第2の電源ラインと第3のノードとの間に接続されゲートに前記入力信号を受ける前記第1の耐圧を有する前記第二導電型の第4のトランジスタと、前記第2の電源ラインと前記第2のノードとの間に接続されゲートに前記反転入力信号を受ける前記第2のゲート耐圧を有する前記第二導電型の第5のトランジスタと、前記第2のノードと前記第1の電源ラインとの間に接続されゲートが前記第3のノードに接続された前記第2のゲート耐圧を有する前記一導電型の第6のトランジスタとを備えることを特徴とする。

#### 【0017】

本発明の第3のレベルシフタは、第1の電源ラインと第1のノードとの間に接続され制御端子が第2のノードに接続された一導電型の第1のトランジスタと、前記第1の電源ラインと前記第2のノードとの間に接続され制御端子が前記第1

のノードに接続された前記一導電型の第2のトランジスタと、前記第1のノードと第2の電源ラインとの間に接続され制御端子に入力信号を受ける第二導電型の第3のトランジスタと、前記第2のノードと前記第2の電源ラインとの間に接続され制御端子に前記入力信号の反転入力信号を受ける前記第二導電型の第4のトランジスタと、前記第1の電源ラインと前記第2のノードとの間に接続され制御端子に前記反転入力信号を受ける前記一導電型の第5のトランジスタと、前記第2のノードと前記第2の電源ラインとの間に接続され制御端子が第3のノードに接続された前記第二導電型の第6のトランジスタと、前記第1の電源ラインと前記第3のノードとの間に接続され制御端子に前記入力信号を受ける前記一導電型の第7のトランジスタと、前記第3のノードと前記第2の電源ラインとの間に接続され制御端子が前記第2のノードに接続された第二導電型の第8のトランジスタとを備え、前記第1、第2、第6、第8のトランジスタは、前記入力信号のレベルに応答して飽和領域で動作し、前記第3、第4、第5、第7のトランジスタは、前記入力信号のレベルにかかわらず非飽和領域で動作することを特徴とする。

#### 【0018】

上述のような構成により、出力信号の立ち上がり及び立ち下がりが入力信号の変化から同一のタイミングで起るため、出力信号のデューティ比が変化しない。

#### 【0019】

##### 【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態について説明する。説明は、実施例を用いて具体的に行う。

#### 【0020】

##### 【実施例】

本発明の実施例について、図1を参照しながら説明する。

#### 【0021】

ここでは、3.3Vの入力信号 $V_{in}$ を1.2Vの出力信号 $V_{out}$ にレベルシフトする場合のレベルシフタについて説明する。

#### 【0022】

まず本発明のレベルシフト回路は、第1のレベルシフト回路1と、第2のレベルシフト回路2から構成されている。

#### 【0023】

第1のレベルシフト回路1は、P型MOSトランジスタMP1及びMP2と、N型MOSトランジスタNM1及びMN2とから構成される。P型MOSトランジスタMP1は、1.2Vのゲート耐圧を有するトランジスタにより構成され、ソースがV<sub>dd</sub> (1.2V) に接続されている。P型MOSトランジスタMP2は、P型MOSトランジスタMP1と同様に1.2Vのゲート耐圧を有するトランジスタにより構成され、ソースがV<sub>dd</sub> (1.2V) に、ドレインがP型MOSトランジスタMP1のゲートに、ゲートがP型MOSトランジスタMP1のドレインにそれぞれ接続されている。N型MOSトランジスタMN1は、3.3Vのゲート耐圧を有するトランジスタにより構成され、ソースがGNDに、ドレインがP型MOSトランジスタMP1のドレインに接続され、ゲートは入力信号V<sub>in</sub>を受ける。N型MOSトランジスタMN2は、N型MOSトランジスタMN1と同様に3.3Vのゲート耐圧を有するトランジスタにより構成され、ソースがGNDに、ドレインがP型MOSトランジスタMP2のドレインに接続され、ゲートに入力信号V<sub>in</sub>の反転信号V<sub>in</sub>Bを受ける。

#### 【0024】

第2のレベルシフト回路は、P型MOSトランジスタMP3及びMP4と、N型MOSトランジスタMN3及びMN4とから構成される。

#### 【0025】

P型MOSトランジスタMP3は、3.3Vのゲート耐圧を有するトランジスタにより構成され、ソースがV<sub>dd</sub> (1.2V) に接続され、ゲートに入力信号V<sub>in</sub>を受ける。P型MOSトランジスタMP4は、P型MOSトランジスタMP3と同様に、3.3Vのゲート耐圧を有するトランジスタにより構成され、ソースがV<sub>dd</sub> (1.2V) に接続され、ゲートに反転信号V<sub>in</sub>Bを受ける。N型MOSトランジスタMN3は、1.2Vのゲート耐圧を有するトランジスタにより構成され、ソースがGNDに、ドレインがP型MOSトランジスタMP3のドレインに、ゲートがP型MOSトランジスタMP4のドレインに接続されてい

る。N型MOSトランジスタMN4は、N型MOSトランジスタMN3と同様に、1.2Vのゲート耐圧を有するトランジスタにより構成され、ソースがGNDに、ドレインがP型MOSトランジスタMP4のドレインに、ゲートがP型MOSトランジスタMP3のドレインに接続されている。

#### 【0026】

なお、第1のレベルシフト回路を構成するP型MOSトランジスタMP1とN型MOSトランジスタMN1との接続点は、第2のレベルシフト回路を構成するP型MOSトランジスタMP3とN型MOSトランジスタMN3との接続点と接続され、入力信号に対する負論理の出力信号（振幅1.2V）を取り出すことができる（負論理出力ノード）。同様に、第1のレベルシフト回路を構成するP型MOSトランジスタMP2とN型MOSトランジスタMN2との接続点は、第2のレベルシフト回路を構成するP型MOSトランジスタMP4とN型MOSトランジスタMN4との接続点と接続され、入力信号に対する正論理の出力信号（振幅1.2V）Voutを取り出すことができる（正論理出力ノード）。

#### 【0027】

次に、本発明のレベルシフト回路の動作について、入力信号Vinが3.3Vから0Vに変化する場合と、0Vから3.3Vに変化する場合とに分けて説明する。ここで、反転入力信号VinBを生成しているインバータINV1は、飽和領域で動作するように設計されているため、その遅延時間については無視できるものとして説明する。

#### 【0028】

入力信号Vinが3.3Vから0Vに変化する場合、すなわち、立ち下がる場合、第1のレベルシフト回路1内において、N型MOSトランジスタMN1は、入力信号Vinが0Vに変化することによってオフ状態、N型MOSトランジスタMN2は、反転信号VinBが3.3Vに変化するためオン状態となる。N型MOSトランジスタMN2がオンしたことにより、出力端子の電位及びP型MOSトランジスタMP1のゲートの電位が低下するため、P型MOSトランジスタMP1はオン状態となり、P型MOSトランジスタMP2のゲートの電位が上昇し、P型MOSトランジスタMP2はオフ状態となる。その結果、負論理出力ノ

ードの電位は、P型MOSトランジスタMP1により上昇し、正論理出力ノードの電位は、N型MOSトランジスタMN2により下降する。この時、正論理出力ノード（出力端子）の電荷はN型MOSトランジスタMN2によって引き抜かれているが、3.3V耐圧のトランジスタのソース・ドレイン間に1.2Vの電圧しかかかっていないため、N型MOSトランジスタMN2は非飽和領域で動作することになる。そのため、N型MOSトランジスタの電流引き抜き能力（ソース・ドレイン間電流）は、飽和領域で動作する場合に比較して低下し、出力端子を0Vにするために時間がかかる。

#### 【0029】

第1のレベルシフト回路1と同様に、第2のレベルシフト回路2内では、入力信号Vinが立ち下がったことに応答してP型MOSトランジスタMP3がオン状態、反転信号VinBに応答してP型MOSトランジスタMP4がオフ状態となる。P型MOSトランジスタMP3がオンしたことにより、N型MOSトランジスタMN4のゲート電位が上昇してオン状態となり、P型MOSトランジスタMP4がオフしたことによりP型MOSトランジスタMP4はオフ状態となる。その結果、負論理出力ノードの電位は、P型MOSトランジスタMP3により上昇し、正論理出力ノードの電位は、N型MOSトランジスタMN4により下降する。この時、N型MOSトランジスタMN4はP型MOSトランジスタMP3によりオン状態にされるため、N型MOSトランジスタMN2に比べてゲート一段分動作が遅れるが、N型MOSトランジスタは1.2V耐圧のトランジスタで構成されているため、飽和領域で動作し高速に出力端子の電位を低下させることができる。

#### 【0030】

このように、N型MOSトランジスタMN2が最初にオン状態となり出力端子の電荷を引きぬくと共にN型MOSトランジスタMN4がゲート一段分遅れてオン状態となり出力端子の電荷を引きぬくため、入力信号が0Vに変化したことに応答して出力信号が変化し始めるまでの時間を3.3V耐圧の非飽和領域で動作するN型MOSトランジスタMN2で決定できると共に、出力信号Voutが1.2Vから0Vに変化する期間を1.2V耐圧の飽和領域で動作する

N型MOSトランジスタMN4で短くすることができる。

#### 【0031】

次に、入力信号 $V_{in}$ が0Vから3.3Vに変化する場合、すなわち、立ち上がる場合、第2のレベルシフト回路内では、P型MOSトランジスタMP3は、入力信号 $V_{in}$ が3.3Vのためオフ状態となり、P型MOSトランジスタMP4は、反転入力信号 $V_{inb}$ が0Vのためオン状態となる。P型MOSトランジスタMP4がオン状態のため、出力端子及びゲートの電位が上昇しN型MOSトランジスタMN3はオン状態、P型MOSトランジスタMP3がオフ状態のため、ゲートの電位が低下しN型MOSトランジスタMN4はオフ状態となる。その結果、正論理出力ノードの電位は、P型MOSトランジスタMP4により上昇し、負論理出力ノードの電位は、N型MOSトランジスタMN3により下降する。

#### 【0032】

この時、正論理出力ノード（出力端子）は、P型MOSトランジスタMP4によって充電されているが、3.3V耐圧のトランジスタのソース・ドレイン間に1.2Vの電圧しかかかっていないため、P型MOSトランジスタMP4は非飽和領域で動作することになる。そのため、P型MOSトランジスタMP4の電流供給能力は、飽和領域で動作する場合に比較して低下しており、出力端子の電位を1.2Vまで上昇させるのに時間がかかる。

#### 【0033】

第1のレベルシフト回路1内において、N型MOSトランジスタMN1は、入力信号 $V_{in}$ が3.3Vのためオン状態、N型MOSトランジスタMN2は、反転入力信号 $V_{inb}$ が0Vのためオフ状態となる。N型MOSトランジスタMN1がオン状態となりP型MOSトランジスタMP2のゲートの電位が低下するためP型MOSトランジスタMP2はオン状態となり、N型MOSトランジスタMN2がオフ状態となりP型MOSトランジスタMP2がオン状態のためP型MOSトランジスタMP1はオフ状態となる。その結果、正論理出力ノードの電位は、P型MOSトランジスタMP2により上昇し、負論理出力ノードの電位は、N型MOSトランジスタMN1により下降する。この時、P型MOSトランジスタMP2はN型MOSトランジスタMN1によりオン状態にされるため、P型MO



SトランジスタMP4に比べてゲート一段分（N型MOSトランジスタMN1の分）動作が遅れるが、P型MOSトランジスタMP2は1.2V耐圧のトランジスタで構成されているため、飽和領域で動作し高速に出力端子の電荷を引き抜くことができる。

#### 【0034】

このように、P型MOSトランジスタMP4が最初にオン状態となり出力端子を充電し始めると共にP型MOSトランジスタMP2がゲート一段分遅れてオン状態となり出力端子の電荷を引きぬくため、入力信号が3.3Vに変化したことに応答して出力信号が変化し始めるまでの時間を3.3V耐圧の非飽和領域で動作するP型MOSトランジスタMP4で決定できると共に、出力信号Voutが0Vから3.3Vに変化する期間を1.2V耐圧の飽和領域で動作するP型MOSトランジスタMP2で短くすることができる。

#### 【0035】

このように、出力端子Voutの電位が0Vおよび1.2Vに変化するいずれの場合も、非飽和領域で動作するゲート耐圧の高いトランジスタにより電位の変化を開始させ、続いて飽和領域で動作するゲート耐圧の低いトランジスタにより高速に電位を変化させることによって、殆どデューティ比を変化させることなく高い電圧から低い電圧へのレベルシフトを行うことができる。なお、正論理出力ノード側（出力端子側）の電位変化について説明をしたが、負論理出力ノード側（反転出力端子側）でも同様の動作原理により、逆の電位変化が起っている。

#### 【0036】

本発明を適用したレベルシフト回路のシミュレーション結果を、図2（a）～（f）に示す。入力信号を3.3V振幅、出力信号を1.3Vから0.8V振幅まで0.1V刻みで変化させたものについてシミュレーションを行なったが、入力信号の半分以下の電圧である1.3Vにレベルシフトしてもデューティ比は変化せず、さらに0.8Vに低下させてもデューティが変化しないことがわかる。

#### 【0037】

なお、上記実施例では、3.3V耐圧のトランジスタにより構成されたインバータINV1がレベルシフト回路1及び2に含まれるように図示したが、ASI

Cやマイクロプロセッサ等が2電源の場合には含めても良いが、単一電源の場合には、外部から入力信号と、反転信号とを供給する構成が良い。

#### 【0038】

また、上記実施例では、3.3V耐圧のN型MOSトランジスタMN2及びP型MOSトランジスタMP4が出力端子の電位変化の開始点を決めているが、充電の期間は1.2V耐圧のP型MOSトランジスタMP2及び1.2V耐圧のN型MOSトランジスタMN4の電流供給能力によって決定される。したがって、P型MOSトランジスタMP2の電流供給能力をP型MOSトランジスタMP1よりも大きく、N型MOSトランジスタMN4の電流供給能力をN型MOSトランジスタMN3よりも大きくすることが好ましい。さらに、これら1.2V耐圧のP型MOSトランジスタMP2及びN型MOSトランジスタMN4を早くオン状態にするために、3.3V耐圧のN型MOSトランジスタMN1の電流供給能力をN型MOSトランジスタMN2よりも大きく、3.3V耐圧のP型MOSトランジスタMP3の電流供給能力をP型MOSトランジスタMP4よりも大きくすることが好ましい。

#### 【0039】

また、上記実施例では、3.3V振幅の入力信号を1.2V振幅の出力信号にレベルシフトするレベルシフト回路について説明したが、大きい振幅の入力信号を小さい振幅の出力信号に変換するものであれば、入力信号と出力信号の振幅とを適宜設定することができる。

#### 【0040】

##### 【発明の効果】

以上説明したように、第1のレベルシフタ及び第2のレベルシフタの正論理出力ノード及び負論理出力ノードを接続することにより、入力信号に対して出力信号が立ち上がる場合及び立ち下がる場合のタイミングが変わらず、入力信号に対して出力信号のデューティ比が変化しない。したがって、入力信号と出力信号の振幅レベルの差が大きくなった場合にもデューティ比の変化しないレベルシフト回路を提供することができる。

##### 【図面の簡単な説明】

**【図 1】**

この発明の実施例であるレベルシフタの構成を示す回路図。

**【図 2】**

入力信号と出力信号の波形を示す図。

**【図 3】**

第 1 の従来のレベルシフタを示す回路図。

**【図 4】**

第 1 の従来のレベルシフタ回路の入力信号と出力信号の波形を示す図。

**【図 5】**

第 1 の従来のレベルシフタの一段目のインバータの入力と出力の関係を示す図

。

**【図 6】**

第 2 の従来のレベルシフタを示す回路図

**【符号の説明】**

1 第 1 レベルシフタ

2 第 2 レベルシフタ

MP 1、2 1. 2 V 耐圧 P 型 MOS トランジスタ

MN 1、2 3. 3 V 耐圧 N 型 MOS トランジスタ

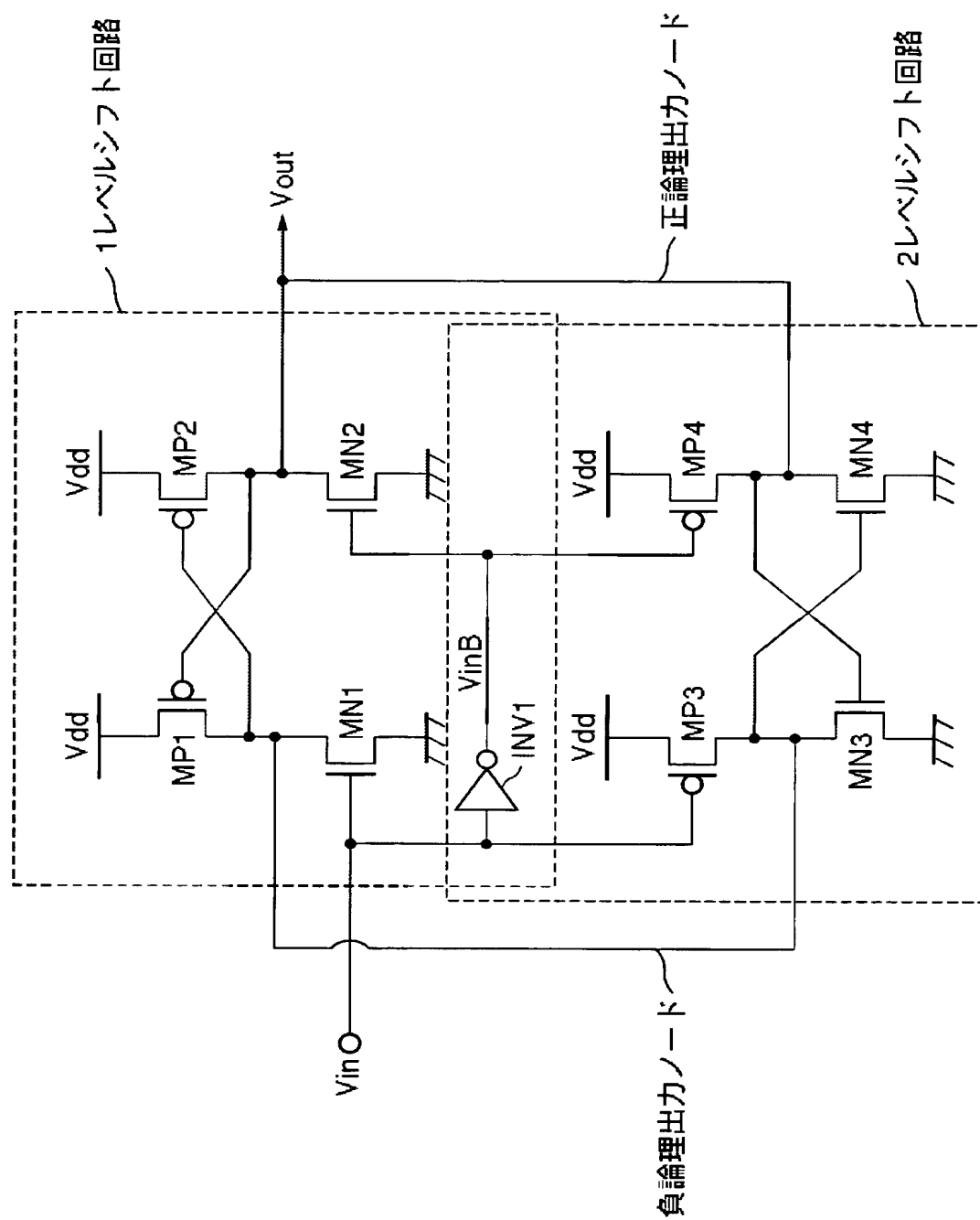
MP 3、4 3. 3 V 耐圧 P 型 MOS トランジスタ

MN 3. 4 1. 2 V 耐圧 N 型 MOS トランジスタ

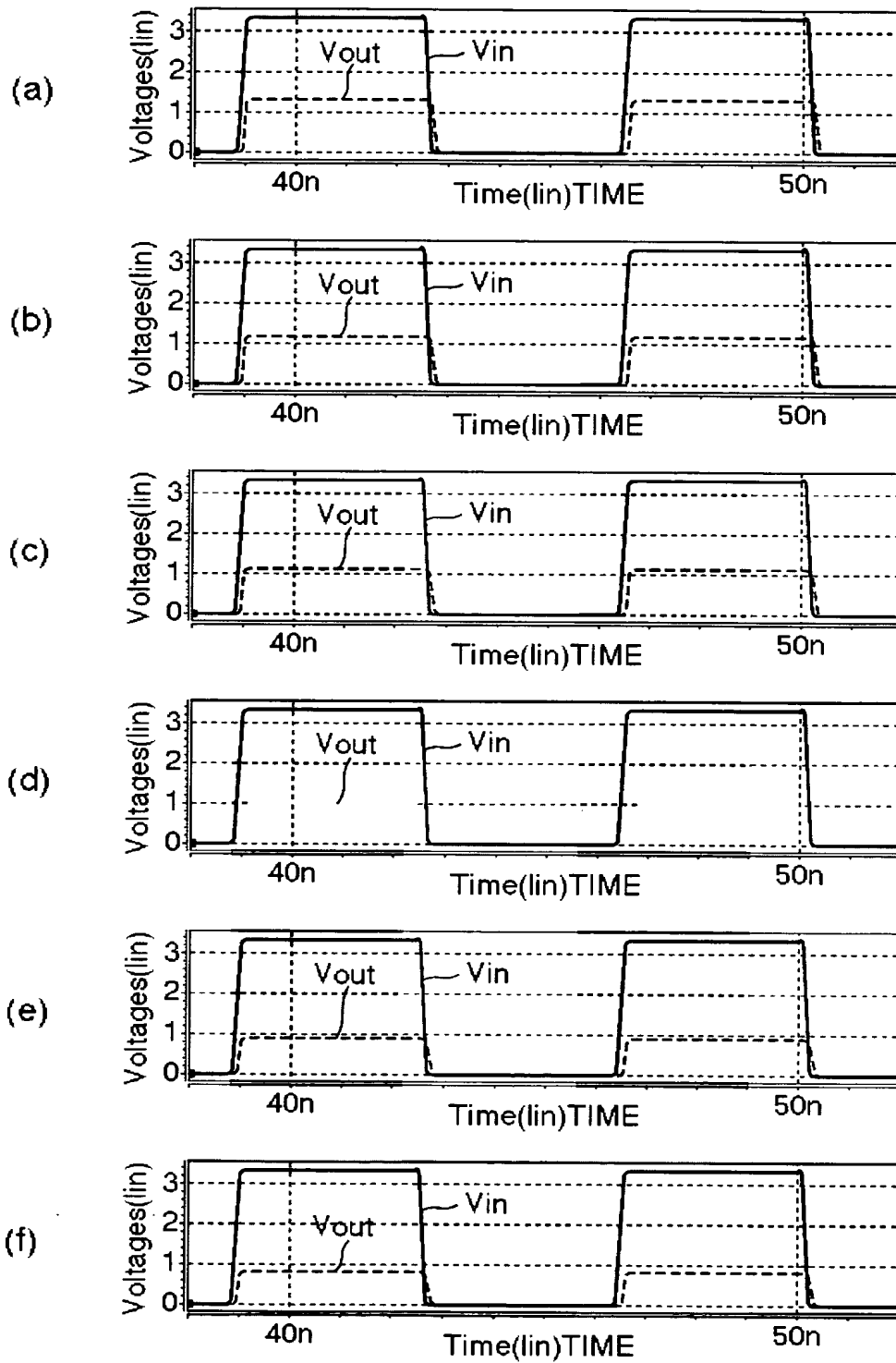
【書類名】

図面

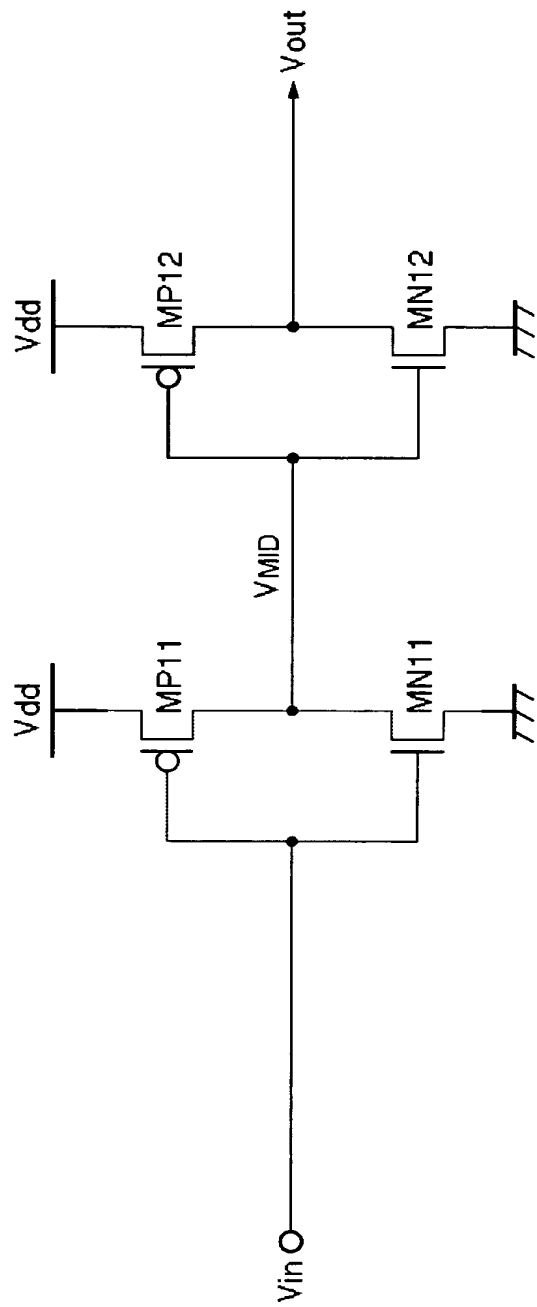
【図 1】



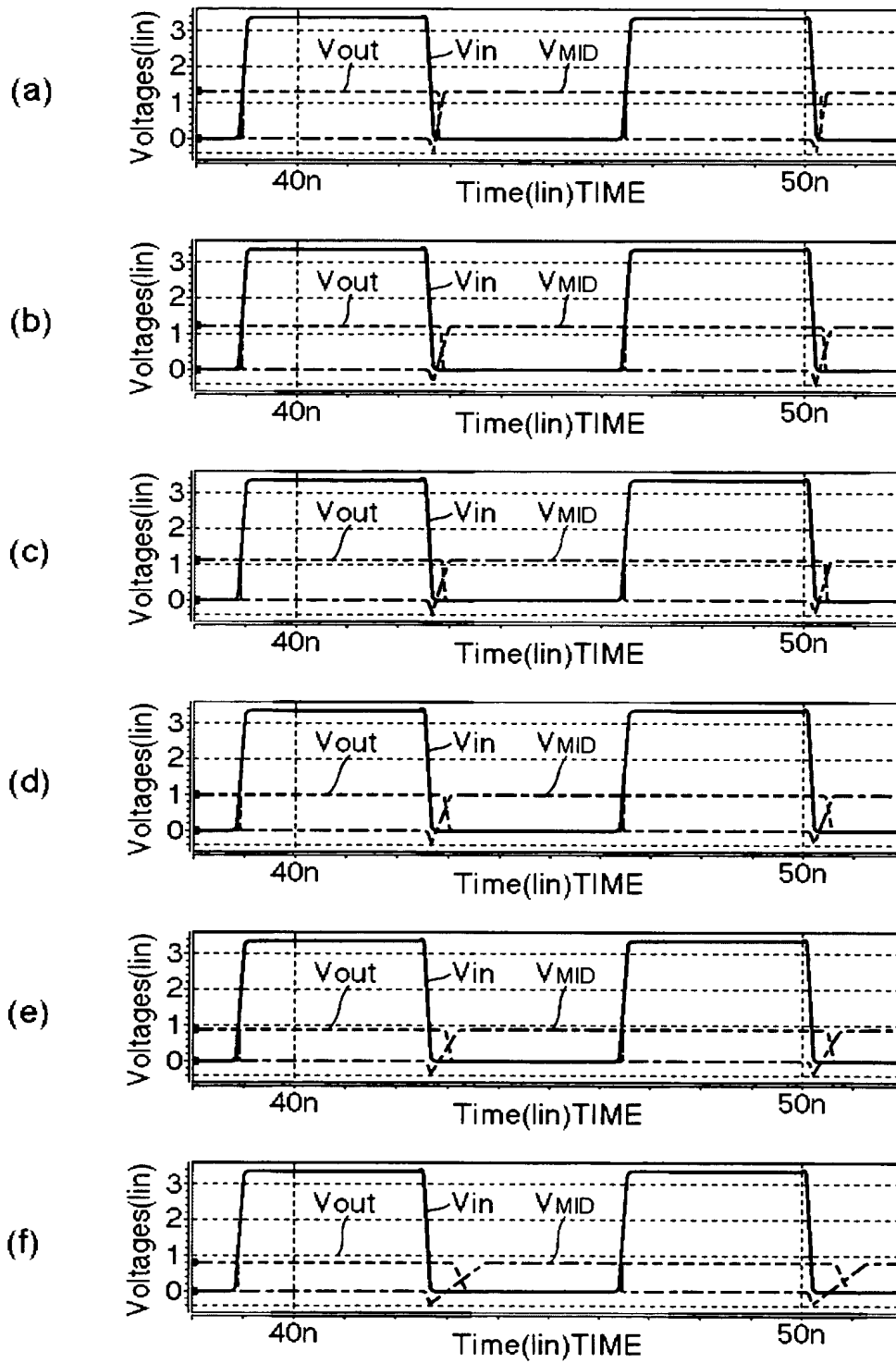
【図 2】



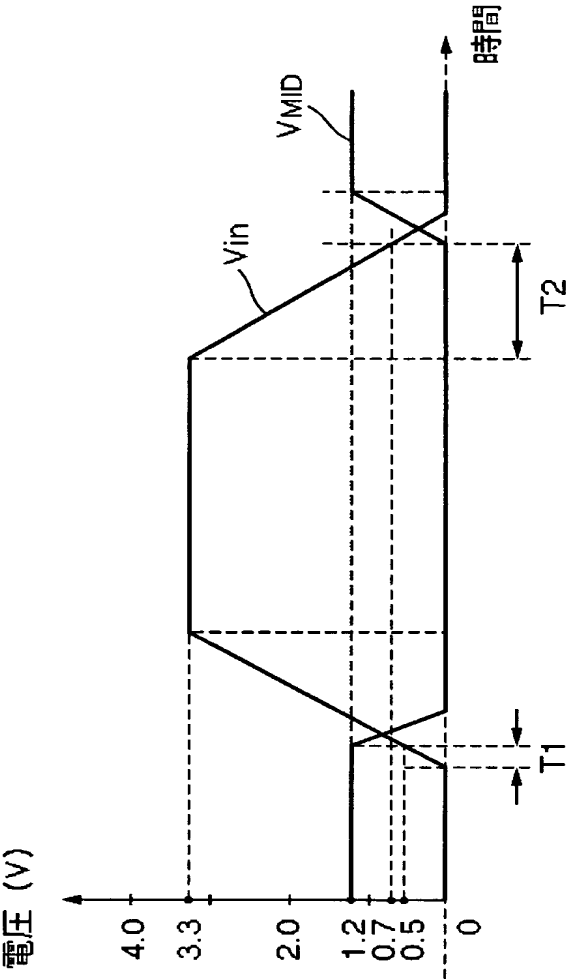
【図 3】



【図 4】

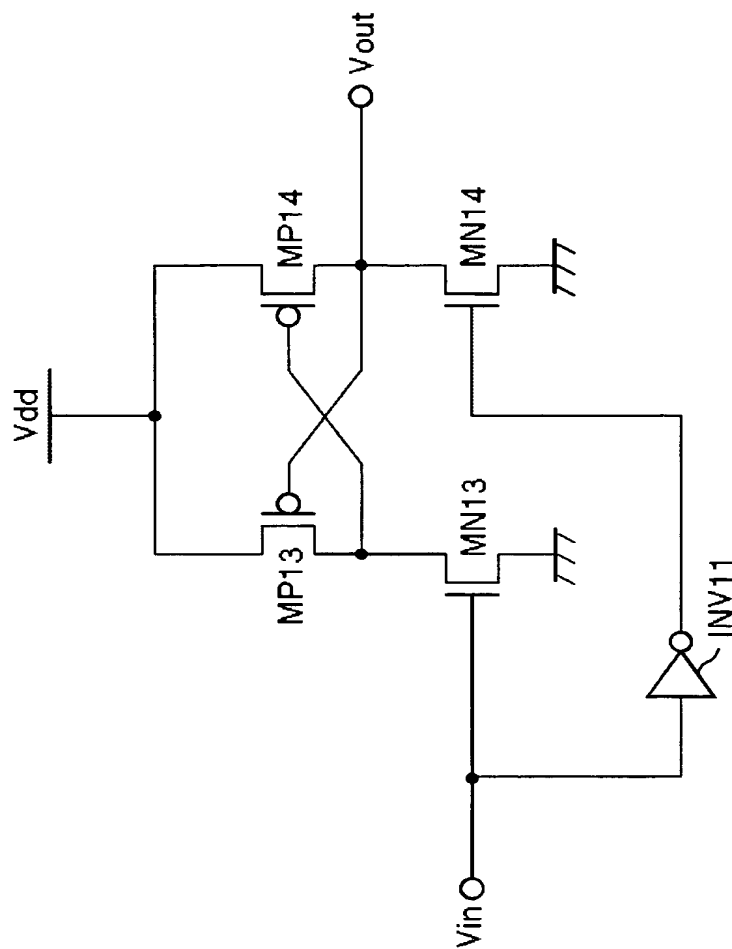


【図 5】





【図 6】



【書類名】 要約書

【要約】

【課題】 入出力信号の振幅差が大きい場合でも、高い動作周波数でデューティ比を変えることなく、高い精度で動作させるレベルシフタを提供する。

【解決手段】 レベルシフタは、各ソースに電源電圧  $V_{dd}$  が印加され、各ドレインが相手方のゲートに接続されたトランジスタ  $MP1$ 、 $MP2$  と、各ゲートに信号  $V_{in}$ 、 $V_{inB}$  が印加され、各ドレインがトランジスタ  $MP1$ 、 $MP2$  のドレインに接続され、そのソースが接地されたトランジスタ  $MN1$ 、 $MN2$  を有する第1レベルシフタ1と、各ソースが接地され、各ドレインが相手方のゲートに接続されたトランジスタ  $MN3$ 、 $MN4$  と、各ソースに電源電圧  $V_{dd}$  が印加され、各ゲートに信号  $V_{in}$ 、 $V_{inB}$  が印加され、各ドレインがトランジスタ  $MN3$ 、 $MN4$  のドレインに接続されたトランジスタ  $MP3$ 、 $MP4$ 、 $MP6$  とを有する第2レベルシフタ2とを備え、トランジスタ  $MP1$ 、 $MN3$  のドレイン同士を接続し、トランジスタ  $MP2$ 、 $MN4$  のドレイン同士を接続して構成される。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 1 8 4 8 8
受付番号	5 0 2 0 1 6 5 2 7 5 7
書類名	特許願
担当官	第八担当上席 0 0 9 7
作成日	平成 1 4 年 1 1 月 1 日

< 認定情報・付加情報 >

【提出日】 平成14年10月31日

次頁無

【書類名】 出願人名義変更届（一般承継）  
【あて先】 特許庁長官殿  
【事件の表示】  
【出願番号】 特願2002-318488  
【承継人】  
【識別番号】 302062931  
【氏名又は名称】 N E C エレクトロニクス株式会社  
【承継人代理人】  
【識別番号】 100109313  
【弁理士】  
【氏名又は名称】 机 昌彦  
【提出物件の目録】  
【包括委任状番号】 0215753  
【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 1 8 4 8 8
受付番号	5 0 3 0 0 0 2 8 3 0 8
書類名	出願人名義変更届（一般承継）
担当官	井筒 セイ子 1 3 5 4
作成日	平成 1 5 年 2 月 2 0 日

< 認定情報・付加情報 >

【提出日】 平成 15 年 1 月 10 日

次頁無

特願 2 0 0 2 - 3 1 8 4 8 8

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 4 2 3 7 ]

1. 変更年月日  
[変更理由]

1 9 9 0 年 8 月 2 9 日  
新規登録

住 所  
氏 名

東京都港区芝五丁目 7 番 1 号  
日本電気株式会社

特願 2 0 0 2 - 3 1 8 4 8 8

出 願 人 履 歴 情 報

識別番号

[ 3 0 2 0 6 2 9 3 1 ]

1. 変更年月日  
[変更理由]

2 0 0 2 年 1 1 月 1 日  
新規登録

住 所  
氏 名

神奈川県川崎市中原区下沼部 1 7 5 3 番地  
N E C エレクトロニクス株式会社